

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2000-0035578
G11C 11/02 (43) 공개일자 2000년 06월 26일

(21) 출원번호	10-1999-0051492
(22) 출원일자	1999년 11월 19일
(30) 우선권주장	19853447.7 1998년 11월 19일 독일(DE)
(71) 출원인	인피니언 테크놀로지스 마게
	독일 뮌헨 장크트 마틴 슈트라ße 53
(72) 발명자	베르크, 후고, 반덴
	독일 91074헤르초게나우라호독토르다울러-슈트라ße 4
(74) 대리인	남상선

심사청구 : 있음

(54) 자기 기억 장치

요약

본 발명은,

다수의 메모리 셀(1)로 이루어진 메모리 셀 필드(11), 워드 라인(3)에 할당된 어드레싱 회로 및 센스 라인(4)에 할당된 평가 회로를 포함하며,

상기 메모리 셀(1)은 워드 라인(3)과 센스 라인(4)의 교차점에서 매트릭스 형태로 배치되고, 상기 셀의 논리적인 데이터 내용은 자기적 상태에 의해서 규정되며,

상기 어드레싱 회로에 의해서는, 데이터 내용이 판독 출력되어야 하는 하나 이상의 선택된 메모리 셀(1)의 워드 라인(3)에 판독 전압(V)이 공급되며,

상기 평가 회로에 의해서는, 선택된 메모리 셀(들)의 데이터 내용에 상응하는 신호가 검출 및 평가되며, 이 경우 상기 평가 회로는 비교 회로(16)를 포함하고, 상기 비교 회로에 의해서는 기준 요소로부터 제공되는 기준 신호(Vr)가 판독 출력될 메모리 셀(들)의 센스 신호(Vs)와 비교되도록 구성된, 선택적(optional) 액세스 타입 자기 기억 장치(MRAM)에 관한 것이다.

도면

도 1

도 2

도면의 간단한 설명

도 1은 서로 교차되는 센스 라인 및 워드 라인을 갖는 자기 기억 장치의 개략적인 단면도.

도 2는 CPP-소자의 개략적인 단면도.

도 3은 평가 회로의 기본 원리 회로도를 갖는 자기 기억 장치의 개략적인 구성도.

도 4는 신호 형성에 중요한 소자의 개략적인 회로도.

도 5는 메모리 셀 필드 외부에 기준 요소를 갖춘 평가 회로를 갖는 자기 기억 장치의 개략적인 회로도.

도 6은 자기 메모리 셀이 필드내에 집중된 메모리 셀 필드 외부에 기준 요소를 갖춘 평가 회로를 갖는 자기 기억 장치의 개략적인 회로도.

도 7은 센스 라인을 통해 기준 신호를 검출하는 메모리 셀 필드 외부에 기준 요소를 갖춘 평가 회로를 갖는 자기 기억 장치의 개략적인 회로도.

도 8은 워드 라인을 통해 기준 신호를 검출하는 메모리 셀 필드 내부에 기준 요소를 갖춘 평가 회로를 갖는 자기 기억 장치의 개략적인 회로도.

도 9는 워드 라인을 통해 기준 신호를 검출하는 평가 회로의 기본 원리 회로도를 갖는 자기 기억 장치의 개략적인 구성도.

도 10은 기준 요소의 도움으로 신호를 형성하는데 중요한 소자들의 개략적인 회로도.

도 11은 스위치와 접속된 워드 라인을 통해 기준 신호를 검출하는 메모리 셀 필드 내부에 기준 요소를 갖춘 평가 회로를 갖는 자기 기억 장치의 개략적인 회로도.

도 12는 워드 라인을 통해 기준 신호를 검출하는 메모리 셀 필드 내부에 평가 회로 및 다수의 기준 요소

를 갖는 자기 기억 장치의 개략적인 회로도.

* 도면의 주요 부분에 대한 부호의 설명 *

- | | |
|----------------|-------------------|
| 1 : 메모리 셀 | 2 : 기판 |
| 3 : 워드 라인 | 4 : 센스 라인 |
| 5 : 제 1 자기 재료층 | 6 : 터널 배리어층 |
| 7 : 제 2 자기 재료층 | 8 : 제 1 타입의 자기층 |
| 9 : 감결합층 | 10 : 제 2 타입의 자기층 |
| 11 : 메모리 셀 필드 | 12 : 센스 라인 증폭기 회로 |
| 13 : 기록 전류 소스 | 14 : 스위치 |
| 16 : 비교 회로 | 16A : 차동 증폭기 |
| 16B : 저장기 | 17 : 기준 요소 |
| 18 : 기준 증폭기 회로 | |
| W : 판독 전압 | Wr : 기준 신호 |
| Vs : 센스 신호 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 다수의 메모리 셀로 이루어진 메모리 셀 필드, 워드 라인에 할당된 어드레스 회로 및 센스 라인에 할당된 평가 회로를 포함하며, 상기 메모리 셀은 워드 라인과 센스 라인의 교차점에서 매트릭스 형태로 배치되고, 상기 셀의 논리적인 데이터 내용은 자기적 상태에 의해서 규정되며, 상기 어드레스 회로에 의해서는, 데이터 내용이 판독 출력되어야 하는 하나 이상의 선택된 메모리 셀의 워드 라인에 판독 전압이 공급되며, 상기 평가 회로에 의해서는, 선택된 메모리 셀(들)의 데이터 내용에 상응하는 신호가 검출 및 평가되도록 구성된, 선택적 액세스 타입 자기 기억 장치(MRAM)에 관한 것이다.

매트릭스 형태로 구성된 상기 방식의 자기 기억 장치(MRAM)에서 데이터 정보는, 워드 라인과 센스 라인의 교차점에 배치된 자기 메모리 셀의 정보 매체층내에 자기화 방향의 형태로 포함되여 있다. 메모리 셀을 판독 출력하기 위해서는, 센스 라인 또는 워드 라인에 (하기에서는 항상 워드 라인에) 판독 전압이 공급되고, 상기 워드 라인 또는 센스 라인을 통해서서는 메모리 상태를 재반영하는 메모리 셀의 임피던스에 의해 변동된 신호가 관련 워드 라인 증폭기 회로 및 센스 라인 증폭기 회로에 의해서 평가된다.

이 경우 정보 내용('1' 또는 '0')에 따른 메모리 셀의 임피던스내에서의 상대적인 차이는 통상적으로 약 20%에 달하며, 이것은 비교적 작은 값이다. 다른 모든 메모리 셀이 판독 출력될 메모리 셀에 대해 측면 경로(side path)를 형성하고, 판독 출력될 메모리 셀의 임피던스 차이의 효과를 이미 워드 라인 당 약 100개의 요소에서 일정 크기만큼 약화시킬 정도로 큰 기생 임피던스가 형성되며, 이와 같은 방식으로 상기 기생 임피던스가 하기의 평가 회로에 의해 분석되는, 센스 라인을 통해 얻어지는 신호(센스 신호)에 유리하지 않게 작용한다는 사실은 임피던스 차이를 결정하는데 어려움을 가중시킨다.

자기 기억 장치에서는 제조로 인하여 전하 내부에서, 웨이퍼 내부에서 및 개별 자기 기억 장치의 메모리 셀 필드 내부에서도 메모리 셀의 절대 임피던스의 변동이 나타난다. 그 결과, 절대적인 임피던스 측정은 판독 출력될 메모리 셀의 메모리 상태를 결정하기 위한 부족품을 필요로 하지 않게 된다.

하나의 메모리 셀의 메모리 내용을 결정하는 지금까지 공지된 조치는 하기와 같다: 메모리 셀은 관련 워드 라인 및 센스 라인의 작동에 의해서 및 메모리 셀에 판독 전압을 인가함으로써 그리고 메모리 셀의 신호를 평가함으로써 판독 출력된다. 그렇게 얻어진 측정-신호는 예를 들어 동량성으로 일시 기억된다. 그 다음에 메모리 셀이 공지된 값('1' 또는 '0')으로 새롭게 기록되어 재차 판독 출력되며, 실제의 메모리 상태를 검출할 수 있기 위하여 일시 기억된 측정-신호와 상기 새로운 측정-신호가 비교된다. 이 경우에는 상기 조치를 다수의 단계로 실시하는 것이 명백하게 단점이 된다.

공지된 추가의 부족품으로서 메모리 셀 내부에 있는 자기 기준층이 사용된다. 이 경우에는 영구적인 자기 기준층과 가변적인 자기 기준층 사이가 재차 상이할 수 있다. 영구적인 자기 기준층에서는 이미 전술된 절대 임피던스의 변동과 같은 문제점이 나타나기 때문에, 본 명세서에서는 절대 임피던스의 변동이 상세하게 관찰되지 않는다. 자기적 방위가 가변적인 자기 기준층은 메모리 셀을 판독 출력하기 위해서 워드 라인 또는 센스 라인을 통과하는 전류에 의해 규정된 방향으로 자기적으로 방향 설정될 수 있다(기준 방향). 이 경우 방위의 방향 변동 및 그에 따른 절대 임피던스의 방향 변동은 절대적인 임피던스값 대신에 평가된다. 이 때 데이터 내용과 동등하게 될 수 있는 정보 매체층의 자기화 방향은 그대로 유지되며, 비교적 약하게 자기화된 기준층은 자성 전도된다. 기준층이 자기적으로 더 강한 층이고 정보 매체층이 변환되는 기억 장치도 사용 가능하다.

지금까지 공지된 모든 방법 및 기억 장치는, 메모리 셀 정보의 판독 출력이 더 큰 시간 비용을 야기하는 연속 공정에 의해서 이루어진다는 단점을 갖는다.

모양의 이루고자하는 기술적 과제

본 발명의 목적은, 연속으로 진행되는 공정 또는 방법에 의해 야기되는 정보의 제거로에 의해서 시간 손실이 나타나지 않으며, 메모리 셀의 절대 임피던스의 제조에 기인한 변동과 무관하게 데이터를 처리할 수 있는 자기 기억 장치를 제공하는 것이다.

모양의 구성 및 작용

본 발명의 목적은 청구항 1에 기술된 방식의 자기 기억 장치에 의해서 달성된다.

본 발명에 따라 평가 회로는 비교 회로를 포함하며, 상기 비교 회로에 의해서는 기준 요소로부터 제공되는 기준 신호가 선택된 메모리 셀(들)의 센스 신호와 비교된다.

본 발명에 따라 메모리 칩상에 형성된 기준 요소가 제공됨으로써 웨이퍼 또는 전하의 절대 임피던스 변동의 영향에 의해 판독 출력 과정이 영향을 받지 않게 된다. 그럼으로써, 절대 임피던스의 강한 변동이 초래되지 않으면서 메모리 셀의 정보가 판독 출력될 수 있다. 이와 같은 효과는, 메모리 셀의 센스 신호 및 기준셀의 기준 신호에 의해 비교 회로내에서 차분 신호가 형성됨으로써 달성된다.

이 경우 비교 회로는 바람직하게 저항기가 할당된 차동 증폭기에 의해 형성되는데, 상기 저항기의 한 단부는 차동 증폭기의 입력과 접속되고 다른 단부는 차동 증폭기의 출력과 접속되며, 차동 증폭기의 입력 항에 저항기가 접속된다.

본 발명의 바람직한 실시예에서 워드 라인 및 센스 라인은 접지 스위치에 의해 각각 접지도 접속될 수 있다. 그로부터 얻어지는 장점은, 신호 검출을 위해 필요치 않은 워드 라인 및 센스 라인이 접지되는 경우에는 전체 메모리 셀에 의해 형성되는 다수의 기생 요소가 막연하게 감소된다는 점이다.

기준 요소는 바람직하게, 전기적 및 자기적 특성이 메모리 셀(들)의 특성에 매칭되고 필요에 따라서는 전기와 같은 특성의 변동에 의해 메모리 셀의 특성에 맞추어 조절될 수 있도록 형성될 수 있으며, 이 경우 기준 요소는 메모리 셀 필드 외부에 배치된다. 상기 기준 요소는 바람직하게 기준 증폭기 회로와 직접 접속되며, 상기 회로는 기준셀의 신호를 기준 신호로 편향한다.

메모리 셀의 자기적 및 전기적 특성이 메모리 셀 필드 내부에서 지나치게 변동되면, 상기 메모리 셀 필드를 거의 동일한 전기적 및 자기적 특성을 갖는 한련 메모리 셀의 다수의 상이한 셀 영역으로 세분화하고, 상기 셀 영역들에 고유의 기준 요소 및 기준 신호를 할당하는 것은 본 발명에 강점이 될 수 있으며, 결과적으로 판독 출력될 메모리 셀의 센스 신호와 기준 요소의 센스 신호의 차분 신호의 질(quality)이 그대로 유지된다.

바람직하게는, 판독 출력될 메모리 셀(들)과 가급적 동일한 자기적 및 전기적 특성을 갖도록 하기 위해서 기준 요소가 메모리 셀 필드 내부에 배치된 메모리 셀로서 형성될 수 있다. 그에 따라 기준 요소의 센스 라인은 기준 증폭기 회로와 접속되는 것이 바람직하다. 자유롭게 선택 가능하고 공간적으로 변동 가능하게 형성된 기준 요소는, 상기 요소가 판독 출력될 기억 소자 옆에 배치되도록 선택되는 것이 바람직하다.

본 발명의 특히 바람직한 실시예에서 기준 요소는 동일한 워드 라인상에 및 또한 동일한 센스 라인상에 배치되지 않는다. 즉, 선택된 메모리 셀(들)의 인접한 워드 라인 및 센스 라인에 배치된다. 이 경우에는 바람직하게 기준 요소의 워드 라인이 비교 회로와 접속될 수 있다.

본 발명의 바람직한 추가 실시예에 따라 판독 출력될 메모리 셀에 인접한 다수의 기준 요소가 제공되는데, 판독 출력될 메모리 셀의 워드 라인과 일치하지 않는 상기 기준 요소의 워드 라인은 비교 회로와 공통으로 접속된다. 그에 따라 추가 실시예에서는, 판독 출력될 메모리 셀의 워드 라인에 제공되는 전압 레벨과 다른 전압 레벨이 기준 요소의 센스 라인에 제공될 수 있다.

메모리 셀 필드의 메모리 셀은 바람직하게 하기와 같이 구성된다: 기판상에 워드 라인이 제공되고, 상기 워드 라인상에 제 1 자기 재료층, 자기 터널 배리어층 및 제 2 자기 재료층이 제공되며, 상기 층들 위에는 워드 라인과 교차된 센스 라인이 제공된다. 상기와 같은 홀구성의 컨덕턴스는 제 1 자기 재료층 및 제 2 자기 재료층에 의해 형성된 2개의 금속 전극의 페르미 레벨(Fermi level)에서의 에너지 레벨 밀도에 비례한다. 상기 2개의 전극이 자성을 가짐으로써 터널 배리어층을 통과하는 전류는 2개의 스핀 채널(spin channel)로 분리되며, 이 때 상기 채널의 스핀 방향은 다른 하나의 자기층보다 자기적으로 더 강한 상이한 타입의 자기층의 자기화를 따른다. 이 경우 각각 하나의 스핀 채널내의 터널 전류는 상기 스핀 방향을 위해 배리어의 양측면에서의 에너지 레벨 밀도에 비례한다. 더 약한 층의 자기화 방향이 더 강한 층과 관련하여 변동되면, 그와 동시에 더 약한 층의 에너지 레벨 밀도가 2개의 스핀 채널을 위해 변동된다. 그 결과 배리어를 통해 흐르는 전체 전류가 변동된다.

메모리 셀은 또한 매우 바람직하게는 제 1 타입의 자기층, 감결합층, 제 2 타입의 자기층 및 재차 감결합층 그리고 상기 배열의 반복으로 이루어진 연속층으로 구성될 수도 있으며, 이 연속층은 서로 교차되는 센스 라인과 워드 라인 사이에 배치된다. 예를 들어 제 2 타입의 자기층에 대한 제 1 타입의 자기층의 자기화 방향의 전환에 의해서는 상기 연속층 스택의 저항이 변동된다. 그럼으로써 제 1 타입 자기층 및 제 2 타입 자기층의 병렬 자기화와 역병렬(anti-parallel) 정렬 사이의 저항차가 저항차에 의한 비트 상태를 나타낼 수 있다.

본 발명의 바람직한 실시예는 증속항에서 기술된다.

본 발명은 도면에 도시된 다수의 실시예를 참고하여 하기에서 계속 설명된다.

도 1에는 메모리 셀(1)을 갖는 자기 기억 장치의 단면도가 도시되어 있다. 기판(2)상에는 센스 라인(4)이 제공되며, 센스 라인상에는 그 위에서 센스 라인(4)에 대해 수직으로 배치된 워드 라인(3)이 제공된다. 워드 라인(3)과 센스 라인(4) 사이의 교차점에는 제 1 자기 재료층(5), 터널 배리어층(6) 및

제 2 자기 재료층(7)으로 구성된 연속층이 배치되며, 이 연속층이 메모리 셀(1)을 형성한다. 2개의 자기층(5 및 7)은 한편으로는 정보를 기억하기 위해서 그리고 다른 한편으로는 기준층으로서 이용된다. 하기에 자기층(7)은 정보 매체층으로 가정되고, 자기층(5)은 상기 정보 매체층(7)보다 자기적으로 더 약한 재료로 이루어진 기준층으로 가정된다. 하나의 메모리 셀(1)을 기록 또는 판독하기 위해 상응하는 워드 라인(3)에는 전압이 공급되며, 해당 센스 라인(4)은 적어도 가상으로 접지된다. 이 경우 상기 메모리 셀을 판독 출력하기 위해서는, 정보 매체층(7)의 자기 상태를 검출하기 위해 기준층(5)의 자기화 방향이 목표한 대로 변동될 수 있다.

상기 층구조의 권덕턴스는 제 1 및 제 2 자기 재료층(5 및 7)에 의해 형성된 2개의 금속 전극의 페르미 레벨에서의 에너지 레벨 밀도에 비례하며, 상기 금속 전극은 한편으로는 워드 라인(3)과 접속되고 다른 한편으로는 센스 라인(4)과 접속된다. 상기 전극이 자성을 가짐으로써 터널 배리어층(6)을 통과하는 전류는 2개의 스핀 채널로 분리되며, 이 때 상기 채널의 스핀 방향은 다른 자기층보다 자기적으로 더 강한 상이한 타입의 자기층(5 또는 7)의 자기화를 따른다. 이 경우 각각 하나의 스핀 채널내의 터널 전류는 상기 스핀 방향을 위해 배리어의 양측면에서의 에너지 레벨 밀도에 비례한다. 더 약한 층의 자기화 방향이 더 강한 층과 관련하여 변동되면, 그와 동시에 더 약한 층의 에너지 레벨 밀도가 2개의 스핀 채널을 위해 변동된다. 그 결과 배리어를 통해 흐르는 전체 전류가 변동된다.

도 2는 층들이 연속으로 적층된 상태로 된 자기 기억 장치 셀(1)의 추가 실시예의 횡단면도를 보여주며, 상기 연속층 스택은 제 1 타입의 자기층(8), 감결합층(9), 제 2 타입의 자기층(10) 및 재차 감결합층(8), 그리고 이와 같은 배열의 반복으로 조성된다. 자기 기억 장치 셀(1)을 형성하는 상기 연속층 스택은 서로 교차되는, 센스 라인(4)과 이 센스 라인(4)에 수직으로 진행되는 워드 라인(3) 사이에 배치된다.

도 3에 도시된 매트릭스 형태의 자기 기억 장치의 개략적인 회로도는 워드 라인(3)(M개) 및 센스 라인(4)(N개)의 교차점에 배치된 메모리 셀(1)을 보여준다. 센스 라인(4)은 기록 전류 스위치(13A)를 통해서 기록 전류 소스(13)와 접속되고, 판독 스위치(12B)를 통해서 센스 라인 증폭기 회로(12)와 접속된다. 메모리 셀(1)을 판독 출력하기 위해 워드 라인(3)에는 전압이 공급될 수 있다. 예를 들어 메모리 셀(1B, 1C 및 1D)에 의해 직접 둘러싸여 있는 메모리 셀(1A)이 판독 출력되어야 한다면, 워드 라인(3A)에는 판독 전압(V)이 공급되고, 기록 전류 스위치(13A)는 개방되며 판독 스위치(12B)는 폐쇄된다. 판독 출력될 메모리 셀(1A)의 센스 라인(4A)을 통과하는 자체 조절되는 신호 전류(I_s)는 센스 라인 증폭기 회로(12)에 의해서 평가되며, 상기 회로의 입력(12C)은 가상으로 접지된다. 이 경우 전류-전압 트랜스(12A)는, 2가지 정보 상태('1' 및 '0')에서의 메모리 셀(1A)의 임피던스 차(ΔR/R)로 인해 하나의 정보를 가지는 신호 전류(I_s)를 검출할 신호(ΔV)로 변환시키는 트랜스로서 이용된다. 그러나 단점인, 다른 메모리 셀들(1)이 판독 출력될 메모리 셀(1A)까지 미치는 측면 경로를 형성한다는 것이다. 입력(12C)이 가상으로 접지되지 않고 오히려 임피던스를 통해 결합되면, 다른 메모리 셀들(1)의 측면 경로는 하기의 식으로 산출되는 기생 전체 임피던스(Z_g)에 모두 합산된다(하기 식에서 R은 개별 메모리 셀(1)의 임피던스이다):

$$Z_g = \frac{(N+M-1)}{(M-1)(N-1)} R = \frac{1}{M-1} R; \text{for } N \gg M$$

검출될 신호(ΔV)에 대해서, 절연된 개별 메모리 셀에 비해 신호 편차가 하기의 식에 따라 적어도 (약 10⁴의) 크기만큼 감소된다고 가정하면, 워드 라인당 다만 약 100개의 소수의 요소만이 받아들여진다:

$$\Delta V = \frac{1}{1 + \frac{M-1}{M} \frac{\Delta R}{R}} \frac{\Delta R}{M} \frac{R I_{\text{set}}}{M} \leq \frac{\Delta R}{M} \frac{R I_{\text{set}}}{M}$$

판독 과정을 위한 셀(1A)을 재프로그램하기 위해 필요한 용량이 하기 식에 따라 M과 더불어 더 같아 게 증가하면, 펄스 지속 시간이 10ns이고, 워드 라인이 약 100개이며, 판독 과정당 R=10⁵Ω, ΔR/R=20%, ΔV=50mV일 때 상기 메모리 셀에서는 약 5nJ가 소산되며, 이것은 상기 적용을 위해서는 일정 크기만큼 지나치게 높게 된다:

$$E_{\text{set}} = \left(\frac{MAV}{\Delta R/R} \right)^2 \frac{M}{R} \Delta$$

판독 출력될 메모리 셀(1A)의 센스 라인(4A)의 가상 접지에 의해서 및 접지 스위치를 통한 필요치 않은 모든 센스 라인(4)의 접지에 의해서는, 기생 임피던스의 네트워크 및 그에 따라 전체 기생 임피던스를 형성하는 중요한 요소들의 개수가 명백하게 감소할 수 있다. 이 때 E_{set}는 M 대신 M에 계속적으로 비례한다.

도 4에는, 접지 스위치(14)를 통해 필요치 않은 센스 라인(4)이 접지된 기생 네트워크의 개략적인 회로도가 도시되어 있다. 센스 라인(4A)의 접지 스위치(14A)는 개방되어 있다. 이 경우 병렬 회로 및 직렬 회로로부터 발생되는 기생 네트워크(22 및 23)는 하기와 같이 조성된다: 네트워크(22)는 워드 라인(3A)(2개의 요소가 도시됨)의 M-1 메모리 셀 임피던스의 병렬 회로로 이루어지고, 전체 네트워크(23)는 (M-1)-배로 나타나며, 이 경우 하부 네트워크(24)는 각각 M-1 메모리 셀 임피던스의 병렬 회로로 이루어진다(2개의 요소가 도시됨). 센스 라인 증폭기 회로(12)에 대한 입력(12C)은 가상으로 접지된다. 그렇기 때문에 출력 신호(ΔV)는 실제로 전류-전압 트랜스(12A)의 임피던스(R_g) 및 판

독 출력할 메모리 셀(1A)의 임피던스(R_c) 및 변동(ΔR_c)에 의해서 하기의 식에 따라 결정된다:

$$AV = \frac{R_{10}}{R_s} \cdot \frac{\Delta R_c}{R_s} \cdot V$$

자기 기억 장치의 제조 프로세스를 근거로 하는 메모리 셀의 절대 임피던스(R_c)의 변동에 의해서, 상기 임피던스의 절대적인 규장들이 판독 출력할 메모리 셀(1A)의 메모리 상태를 결정하기 위한 수단으로 이용될 수 있다.

판독 출력할 메모리 셀(1A)의 메모리 상태를 결정하는 방법은 하기의 조치일 수 있다. 워드 라인(3A)에 판독 전압(V)을 공급하고, 판독 출력할 메모리 셀(1A)의 임피던스를 측정하며, 그 결과를 일시 저장하고, 상기 메모리 셀(1A)을 규정된 메모리 상태로 재프로그램화하여 메모리 셀(1A)의 임피던스를 재차 측정한 후에 얻어지는 결과를 이전의 결과와 비교함으로써 데이터 상태가 증출된다. 그러나 이 방법은 판독 출력 후에는 정보가 재차 새롭게 기록 입력되어야 하고 판독 과정이 연속으로 진행되는 소수의 개별 단계들로 나누어진다는 단점을 갖는다. 사용된 자기 기준출이 정보 매체출보다 자기적으로 더 약한 소위 강-약 시스템으로 메모리 셀이 이루어지는 경우에는 정보의 새로운 기록 입력이 필요치 않은데, 그 이유는 이 경우에는 자기 기준출의 자기화 방향이 변동되기 때문이다.

도 5에는, 메모리 셀 필드(11) 및 해당 기준 증폭기 회로(18) 외부에 추가의 기준 요소(17), 및 상기 기준 증폭기 회로(18)의 신호 및 센스 라인 증폭기 회로(12)의 신호를 서로 비교하는 비교 회로(16)를 갖는 자기 기억 장치의 개략적인 회로도가 도시되어 있다. 기준 요소(17)의 전기적 특성 및 자기적 특성은 메모리 셀들(1)의 전기적 특성 및 자기적 특성에 매칭된다. 이와 같은 매칭은 기준 요소 자체를(예를 들어 상기 요소의 표면을) 변동시킴으로써 또는 기준 증폭기 회로(18)의 임피던스(18a) 혹은 관련 전압 네트워크를 매칭시킴으로써 이루어질 수 있다. 판독 출력 과정을 위해서는 워드 라인(3A)을 통해 판독 출력할 메모리 셀(1A)에 판독 전압(V)이 공급된다. 세팅되는 신호 전류는 센스 라인(4A)을 통해 얻어지고 센스 라인 증폭기 회로(12)에 의해 평가된다. 그렇게 얻어진 센스 신호(V_s)는 기준 증폭기 회로(18)의 기준 신호(V_r)와 함께 비교 회로(16)에 의해서 평가되며, 상기 비교 회로는 하기에서 측정-신호(V_m)로 얻어지는 V_s 및 V_r 로부터 얻어지는 차분 신호를 제공한다. 상기 회로에서 기본 사상은, 메모리 셀의 전기적 및 자기적 특성에 상응하는 신호와 센스 신호(V_s)의 차이 형성에 의해서 메모리 셀(1)의 특성이 비교 회로(16)를 이용한 평가시에 제거됨으로써, 다만 메모리 셀의 자기화 상태만이 임피던스 측정의 결과를 결정하게 된다는 것이다. 그러므로써 이상적인 경우에는 메모리 셀의 절대 임피던스의 제조에 의해 야기되는 변동의 장애적인 영향이 종전에 따라서 또는 심지어 하나의 웨이퍼의 전체 메모리에 의해서도 제거된다.

도 6에서는 본 발명의 추가 실시예를 볼 수 있다. 임피던스 특성도 유사한 메모리 셀들은 셀 영역(19)으로 종합된다. 상기 셀 영역(19)에 고유의 판독 전압(V)이 할당되거나 또는 센스 라인 증폭기 회로(12)의 임피던스(12A) 및/또는 기준 증폭기 회로(18)에 할당된 임피던스(18A)가 매칭되거나 또는 기준 요소(17)에 상이한 전압(V_s)이 공급됨으로써, 결과적으로 측정 신호(V_m)는 메모리 셀들(1)의 전기적 및 자기적 특성의 장애적인 영향을 거의 방지하게 된다. 이 목적을 위해 바람직하게는 해당 기준 요소(17)를 갖는 기준 증폭기 회로(18)가 또한 다중으로 존재할 수도 있다. 셀 영역(19)을 한정하고 기판 특성을 측정하기 위해서는 자기 기억 장치가 측정되어야 한다. 이 때 자기 기억 장치의 극복할 본능을 제한된다.

도 7은, 기준 요소가 메모리 셀 필드(11) 내부에 배치된 기준셀(1R)에 의해 형성되는 본 발명의 추가 변형예를 보여준다. 본 실시예에서는 바람직하게 판독 출력할 메모리 셀(1A)에 인접한 메모리 셀에 의해 형성되는 기준셀(1R)의 신호가 센스 라인(4B)을 통해 기준 증폭기 회로(18)에 제공된다. 기준셀(1R)에는 판독 출력할 메모리 셀(1A)의 워드 라인(3A)을 통해 판독 전압(V)이 공급된다. 이 경우 신호(V_s 및 V_r)를 비교 측정할 때는, 판독 출력할 메모리 셀(1A) 및 기준셀(1R)이 동일한 메모리 상태를 가지면, 즉 메모리 셀(1A)의 명백하게 한가지 메모리 상태가 전압(V_m)에 할당될 수 없으면 비교 회로(16)의 출력 신호(V_m)가 0이 되는 문제가 발생한다.

도 8에 따른 본 발명의 바람직한 실시예에서, 더이상 판독 출력할 메모리 셀(1A)의 동일 워드 라인(3A)상에 배치되지 않는 기준셀(1R)의 신호는 워드 라인(3B)을 통해 기준 증폭기 회로(18)에 제공된다. 이 때 메모리 셀(1E)은 기준셀(1R)에 등가인 셀이다. 메모리 상태를 결정하기 위해서, 기준셀(1R)이 있는 센스 라인(4B)에 및 판독 출력할 메모리 셀(1A)의 워드 라인(3A)에 판독 전압(V)이 공급된다.

도 9에는, 집적 방식으로 형성된 기준 요소(1R)를 갖는 자기 기억 장치의 개략적인 회로도가 도시되어 있다. 실시예에서 메모리 셀(10, 1B 및 1R)은 판독 출력할 메모리 셀(1A)의 직접 이웃이다. 측정 검출에 관여하지 않은 모든 센스 라인 및 워드 라인(4 및 3)은 폐쇄된 접지 스위치(14)를 통해 접지된다(14A 내지 14D는 개방됨). 워드 라인(3A) 및 센스 라인(4B)에는 판독 전압(V)이 공급된다. 판독 출력할 메모리 셀(1A)의 신호는 판독 스위치(12B)를 통해 접속된 센스 라인 증폭기 회로(12)까지 센스 라인(4A)을 통해서 안내되며, 상기 센스 라인 증폭기 회로(12)의 출력에서는 센스 신호(V_s)가 준비된다. 기준셀(1R)의 신호는 워드 라인(3B) 및 기준 스위치(12B)를 통해 기준 증폭기 회로(18)까지 안내되며 기준 신호(V_r)로 처리된다. 비교 회로(16)는 2개의 신호(V_r 및 V_s)를 측정-신호(V_m)로 계속 처리한다.

판독 출력할 메모리 셀(1A)의 센스 라인(4A)상에 있는 메모리 셀(1B)은 기준 증폭기 회로(18)의 입력 및 센스 라인 증폭기 회로(12)의 입력을 통해 양측면으로 가상으로 접지되기 때문에, 기준 요소(1R)의 신호에 대해 단절적으로 작용하지는 않는다. 메모리 셀(10)은 워드 라인(3A) 및 센스 라인(4B)상에서 판독 전압(V)과 양측면으로 결합되기 때문에 측정-전압(V_m)에 대해 단절적인 영향을 초래하지는 않는다.

도 10에는, 접지 스위치(14)를 통해 불필요한 센스 라인(4) 및 워드 라인(3)이 접지된 중요 기생 요소의 개략적인 회로도가 도시되어 있다. 기생 임피던스(1F)는 (N-2)-배로(도면에는 단지 2개만 도시됨) 그리고 기생 임피던스(1G)는 (M-2)-배로(도면에는 단지 2개만 도시됨) 병렬 회로로서 나타난다.

이미 언급한 바와 같이 판독 전압(V)과 양측면으로 결합된 메모리 셀(10)은 신호에 도움이 되지 않는다. 기준 증폭기 회로(18)의 입력 및 센스 라인 증폭기 회로(12)의 입력을 통해 양측면으로 가상으로 접지된 메모리 셀(18)도 마찬가지로 신호에 도움이 되지 않는다. 상기 회로로부터, 기준 신호(Vr)는 거의 기준 요소(18)의 임피던스에만 의존한다는 것을 알 수 있다.

메모리 셀 및 기준셀의 2개의 신호가 비교되는 자기 기준출(5)의 참여없이 이루어지는 스택 측정시에는, 정보 매체출(7)의 자기화 방향이 동일한 경우, 즉 메모리 셀의 메모리 상태가 동일한 경우에는 2개의 셀이 논리적으로 1을 갖는지 혹은 0을 갖는지가 결정될 수 없다는 단점이 있다.

다이나믹 측정시에는, 메모리 셀 및/또는 기준셀의 메모리 내용이 측정-신호(Vm)의 제 1 측정 후에 규정된 상태에 도달하기 위해 (초기에) 오버라이팅되고, 측정-신호(Vm)의 제 2 측정시에 (최종적으로) 검출된다. 메모리 상태는 하기 표와 같이 재현된다.

메모리 셀 1A (데이터 비트)	기준셀 1R (데이터 비트)	측정-신호 Vm (제 1)	측정-신호 Vm (제 2)
0	0	0	+1
1	0	+1	+1
0	1	-1	0
1	1	0	0

신호 변동(ΔV_m)이 신호 평가에 함께 고려되면, 포지티브한 부호(Vm(최종)) 및 하기 표에서의 ΔV_m 를 갖는 신호만이 결과로 나타나게 되고, 메모리 셀 및/또는 기준셀의 자성 전도 전에 부호 규정에 따라 신호 검출할 필요가 없으며, 이것은 판독 과정을 좀 더 신속하게 한다.

메모리 셀 1A (데이터 비트)	기준셀 1R (데이터 비트)	측정-신호 Vm (제 1)	측정-신호 Vm (제 2)	신호 변동 ΔV_m (ΔV_m)
0	0	0	+1	+1
1	0	+1	+1	0
0	1	-1	0	+1
1	1	0	0	0

기억 소자의 상태를 연속으로 검출해야 하는 필수성은 단점이 된다.

예를 들어 그것의 신호(Vr)와 메모리 내용을 결정하기 위해 이용되는 하나의 메모리 셀 및 기준셀의 메모리 상태가 전환한 방식에 따라 결정된 후에는, 상기 신호(Vr)의 기억에 의해서 및 상기 기준셀의 공지된 메모리 상태를 고려하여 상기 정보의 추가 판독 과정이 비교를 위해 이루어질 수 있다. 메모리 침의 동일성이 이것을 허용하면, 심지어 기준셀의 메모리 상태의 결정 및 기준 신호(Vs)의 결정이 추가의 모든 판독 과정을 위해 충분하게 될 수 있으며, 이것은 신속한 스택 판독과 상응한다.

메모리 셀(1A) 및 기준셀(1R)의 정보가 일치하는 경우에도 자기 기준출(5)의 도움으로 결정이 이루어질 수 있으며, 이 경우에는 측정-신호(Vm)가 자성 전도 전에 및 후에 검출될 필요가 없다.

상기와 같은 방식의 다이나믹 측정시 정보 매체출(7)보다 자기적으로 훨씬 더 약한 기준셀(1R)의 자기 기준출(5)은 센스 라인 전류(1r)가 기준셀(1R)의 센스 라인(48)을 통과함으로써 전환된다. 이 때 자기 기준출(5)의 자기화 방향은 기준셀(1R)의 정보 매체출(7)의 자기화 방향에 대해 수직이고, 센스 라인(48)을 통과하는 센스 라인 전류(1r)에 대해 수직이다. 그럼으로써 기준셀(1R)의 임피던스는 기준셀(1R)내에 저장된 정보와 무관하다. 즉, 메모리 셀들(1)의 전기적 및 자기적 특성은 기준셀내에 저장된 정보와 관계없이 다시 반영되며, Vm의 연산 부호는 판독 출력될 메모리 셀(1A)의 정보 내용을 명확하게 결정한다. 이 경우에는 정보 매체출의 자기화 방향이 센스 라인에 대해 평행하게 진행되는 것으로 가정되었고, 상기 자기화 방향이 센스 라인에 대해 수직으로 진행되는 것도 생각할 수 있으며, 그 경우에는 물론 메모리 셀의 프로그래밍을 위해 자기 기준출의 '전환 필드'가 워드 라인에 의해서 구성되어야 한다.

이와 같은 조치에 의해서는, 메모리 상태의 결정 후에 메모리 셀이 재차 새롭게 기록될 필요가 없거나, 또는 큰 시간 절약을 의미하는 규정된 상태로 될 필요가 없다.

도 11에는 기준셀(1R)의 센스 라인(48)을 통과하는 센스 라인 전류(1r)가 개관을 명확히 할 목적으로 도시되어 있다. 도시된 실시예에서는 기준 증폭기 회로(18)가 제공되며, 기준셀(1R)의 개별 워드 라인(3)은 작동 스위치(20)에 의해 기준 증폭기 회로(18)와 접속된다.

도 12에는 본 발명의 추가 실시예가 도시되어 있다. 도시된 변형예에서는, 메모리 셀 필드(11) 내부에서 메모리 셀(1) 임피던스의 강한 측면 기울기를 보상하기 위해서 상이한 기준셀(1R)의 다수의 신호가 평균된다. 판독 출력될 메모리 셀(1A)에 대해 대칭으로 및 인접하여 배치된 기준셀(1R)에는 센스 라인(48 및 40)을 통해서 센스 라인 전류 스위치(21)에 의해 센스 라인 전류(1r)가 제공되며, 그 다음에 기준셀(1R)의 자기 기준출(5)의 자기화 방향이 중립으로 된다. 상기 실시예에서 4개의 기준셀(1R)의 신호들은 워드 라인(38 및 30)으로부터 작동 스위치(20)를 통해 기준 증폭기 회로(18)에 제공된다. 이 때 기준 증폭기 회로(18)는, 기준 신호(Vr)가 올바른 레벨에 있도록 맞추어진다.

발명의 효과

본 발명에 의해, 연속으로 진행되는 공정 또는 방법에 의해 야기되는 정보의 재기록에 의해서 시간 손실

이 나타나지 않으며, 메모리 셀의 절대 임피던스의 제조에 기인한 변동과 무관하게 데이터를 처리할 수 있는 자기 기억 장치를 제공할 수 있게 되었다.

(57) 청구의 범위

청구항 1. 다수의 메모리 셀(1)로 이루어진 메모리 셀 필드(11), 워드 라인(3)에 할당된 어드레스 회로 및 센스 라인(4)에 할당된 평가 회로를 포함하며,

상기 메모리 셀(1)은 워드 라인(3)과 센스 라인(4)의 교차점에서 매트릭스 형태로 배치되고, 상기 셀의 논리적인 데이터 내용은 자기적 상태에 의해서 규정되며,

상기 어드레스 회로에 의해서는, 데이터 내용이 판독 출력되어야 하는 하나 이상의 선택된 메모리 셀(1)의 워드 라인(3)에 판독 전압(V_r)이 공급되며,

상기 평가 회로에 의해서는, 선택된 메모리 셀(들)의 데이터 내용에 상응하는 신호가 검출 및 평가되도록 구성된, 선택적 액세스 타입 자기 기억 장치(MRAM)에 있어서,

상기 평가 회로가 비교 회로(16)를 포함하며,

상기 비교 회로에 의해서, 기준 요소로부터 제공되는 기준 신호(V_r)가 판독 출력될 메모리 셀(들)의 센스 신호(V_s)와 비교되는 것을 특징으로 하는 자기 기억 장치.

청구항 2. 제 1항에 있어서,

워드 라인(3) 및 센스 라인(4)을 개별적으로 접지와 접속시킬 수 있는 스위치(14)가 제공되는 것을 특징으로 하는 자기 기억 장치.

청구항 3. 제 1항 또는 제 2항에 있어서,

선택된 메모리 셀(들) 및 기준셀이 적어도 한 축에서는 가상으로 접지되는 것을 특징으로 하는 자기 기억 장치.

청구항 4. 제 1항 또는 제 2항에 있어서,

상기 비교 회로(16)가 센스 신호(V_s) 및 기준 신호(V_r)로부터 얻어지는 차분 신호를 제공하는 것을 특징으로 하는 자기 기억 장치.

청구항 5. 제 1항 또는 제 2항에 있어서,

기준 요소의 전기적 및 자기적 특성이 메모리 셀(들)(1)의 전기적 및 자기적 특성에 매칭되는 것을 특징으로 하는 자기 기억 장치.

청구항 6. 제 1항 또는 제 2항에 있어서,

기준 요소(17)가 메모리 셀 필드(11) 외부에 배치되고, 상기 기준 요소의 전기적 및 자기적 특성이 가변적으로 설정될 수 있는 것을 특징으로 하는 자기 기억 장치.

청구항 7. 제 1항 또는 제 2항에 있어서,

상기 기준 요소(17)가 기준 증폭기 회로(18)와 접속되는 것을 특징으로 하는 자기 기억 장치.

청구항 8. 제 1항 또는 제 2항에 있어서,

상기 메모리 셀 필드가 거의 동일한 전기적 및 자기적 특성을 갖는 관련 메모리 셀의 다수의 상이한 셀 영역(19)으로 세분되며, 각각의 셀 영역에는 매칭되는 기준 신호 또는 고유한 기준 요소가 할당되는 것을 특징으로 하는 자기 기억 장치.

청구항 9. 제 1항 또는 제 2항에 있어서,

상기 기준 요소가 메모리 셀 필드의 메모리 셀(1)(기준셀)로 형성되는 것을 특징으로 하는 자기 기억 장치.

청구항 10. 제 9항에 있어서,

기준셀(18)의 신호가 센스 라인(4)을 통해 기준 증폭기 회로(18)와 접속되는 것을 특징으로 하는 자기 기억 장치.

청구항 11. 제 9항에 있어서,

메모리 셀 필드의 메모리 셀로 형성되는 기준 요소(18)가 판독 출력될 메모리 셀(들)(1A)의 인접한 워드 라인(3) 및/또는 센스 라인(4)에 배치되는 것을 특징으로 하는 자기 기억 장치.

청구항 12. 제 9항에 있어서,

기준셀(18)의 워드 라인(3)이 기준 증폭기 회로(18)와 접속되는 것을 특징으로 하는 자기 기억 장치.

청구항 13. 제 12항에 있어서,

판독 출력될 메모리 셀(1A)에 인접하여 배치된 다수의 기준셀이 제공되는 것을 특징으로 하는 자기 기억 장치.

청구항 14. 제 13항에 있어서,

기준셀들이 기준 증폭기 회로(18)와 공통으로 접속되는 것을 특징으로 하는 자기 기억 장치.

청구항 15. 제 13항 또는 제 14항에 있어서,

상기 기준셀에는 판독 출력될 메모리 셀에 제공되는 전압 레벨과 다른 전압 레벨이 제공될 수 있는 것을 특징으로 하는 자기 기억 장치.

청구항 16. 제 1항 또는 제 2항에 있어서,

비교 회로(16)가 차동 증폭기(16A)로 형성되며,

상기 증폭기에는 저항기(16B)가 할당되고, 상기 저항기의 한 단부는 차동 증폭기(16A)의 입력과 접속되고 다른 단부는 출력과 접속되며,

상기 차동 증폭기의 입력 앞에 저항기가 접속되는 것을 특징으로 하는 자기 기억 장치.

청구항 17. 제 1항 또는 제 2항에 있어서,

상기 비교 회로(16) 앞에는, 한편으로는 기준 요소(17)의 또는 기준셀(1R)의 신호를 기준 신호(V_r)에 제공하기 위한 기준 증폭기 회로(16)가 접속되고, 다른 한편으로는 판독 출력될 메모리 셀(1A)의 신호를 센스 라인(V_s)에 제공하는 센스 라인 증폭기 회로(12)가 접속되는 것을 특징으로 하는 자기 기억 장치.

청구항 18. 자기 메모리 셀에 있어서,

기판(2)상에 워드 라인(4)이 제공되고, 상기 워드 라인상에는 제 1 자기 재료층(5), 자기 터널 배리어층(6) 및 제 2 자기 재료층(7)이 제공되며,

상기 층들상에는 워드 라인과 교차된 센스 라인(4)이 제공되는 것을 특징으로 하는 자기 메모리 셀.

청구항 19. 제 18항에 있어서,

상기 제 1 자기 재료층(5)이 제 2 자기 재료층(7)보다 자기적으로 더 약한 것을 특징으로 하는 자기 메모리 셀.

청구항 20. 제 18항 또는 제 19항에 있어서,

제 1 타입의 자기층(8)은 자기 기준층을 형성하고, 제 2 타입의 자기층(10)은 정보 매체층을 형성하는 것을 특징으로 하는 자기 메모리 셀.

청구항 21. 자기 메모리 셀에 있어서,

메모리 셀이 제 1 타입의 자기층(8), 감결합층(9), 제 2 타입의 자기층(10) 및 감결합층, 그리고 이와 같은 배열의 반복으로 구성된 연속층으로 이루어지며, 상기 연속층이 서로 교차되는 센스 라인과 워드 라인(3) 사이에 배치되는 것을 특징으로 하는 자기 메모리 셀.

청구항 22. 제 21항에 있어서,

상기 제 1 타입의 자기층(8)이 제 2 타입의 자기층(10)보다 자기적으로 더 약한 것을 특징으로 하는 자기 메모리 셀.

청구항 23. 제 21항 또는 제 22항에 있어서,

상기 제 1 타입의 자기층(8)은 자기 기준층을 형성하고, 제 2 타입의 자기층(10)은 정보 매체층을 형성하는 것을 특징으로 하는 자기 메모리 셀.

청구항 24. 다수의 메모리 셀(1)로 이루어진 메모리 셀 필드(11), 워드 라인(3)에 할당된 어드레싱 회로 및 센스 라인(4)에 할당된 평가 회로를 포함하며,

상기 메모리 셀(1)은 워드 라인(3)과 센스 라인(4)의 교차점에서 매트릭스 형태로 배치되고, 상기 셀의 논리적인 데이터 내용은 자기적 상태에 의해서 규정되며,

상기 어드레싱 회로에 의해서는, 데이터 내용이 판독 출력되어야 하는 하나 이상의 선택된 메모리 셀(1)의 워드 라인(3)에 판독 전압(V)이 공급되며,

상기 평가 회로에 의해서는, 선택된 메모리 셀(들)의 데이터 내용에 상응하는 신호가 검출 및 평가되도록 구성된, 선택적 액세스 타입 자기 기억 장치(MRAM)를 판독 출력하기 위한 방법에 있어서,

기준 요소로부터 제공되는 기준 신호(V_r)를 판독 출력될 메모리 셀(들)의 센스 신호(V_s)와 비교하는 것을 특징으로 하는 방법.

청구항 25. 제 24항에 있어서,

기준 요소의 기준 신호(V_r)를 저장하며, 메모리 셀의 메모리 내용을 추가로 결정할 때 비교를 위해서 상기 저장된 기준 신호를 판독 출력될 메모리 셀의 센스 신호와 비교하는 것을 특징으로 하는 방법.

청구항 26. 제 24항 또는 제 25항에 있어서,

판독 출력될 메모리 셀(들)에 인접하여 배치된 다수의 기준 요소의 신호를 평가하는 것을 특징으로 하는 방법.

청구항 27. 제 26항에 있어서,

상기 다수의 기준 요소의 신호를 기준 증폭기 회로(18)에 의해 공통으로 평가하는 것을 특징으로 하는 방법.

청구항 28. 제 26항에 있어서,

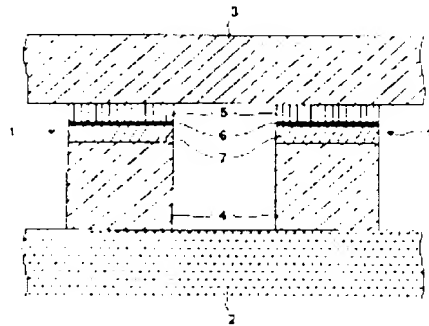
상기 기준셀에는 판독 중력원 메모리 셀에 제공하는 전압 레벨과 다른 전압 레벨을 제공하는 것을 특징으로 하는 방법.

청구항 29. 제 24항 또는 제 25항에 있어서,

자기 기준셀, 터널 배리어층 및 정보 매체층의 연속층, 또는 자기 기준셀, 감결합층, 정보 매체층 및 감결합층 그리고 상기 배열의 반대로 이루어진 연속층으로 구성된, 메모리 셀(들)로서 형성된 기준 요소(들)의 자기 기준셀의 자기화 방향을 센스 신호(V_s)와 기준 신호(V_r)의 비교 동안에는 정보 매체층(들)의 자기화 방향(들)에 대해 수직으로 하는 것을 특징으로 하는 방법.

도 19

도 19



도 20

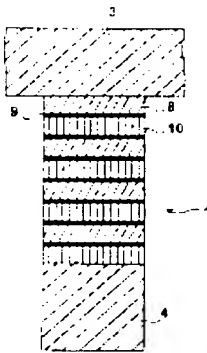
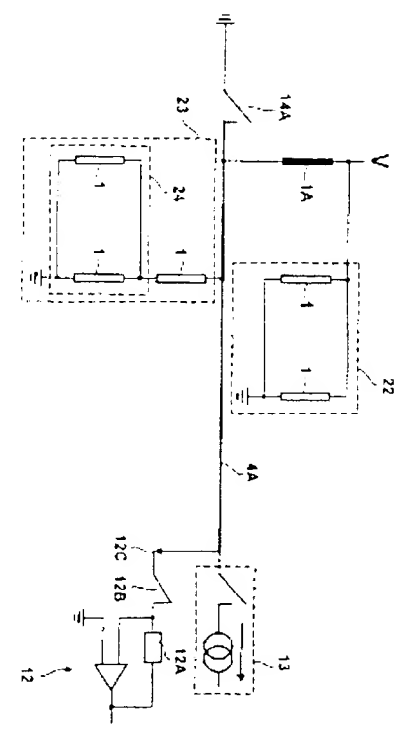
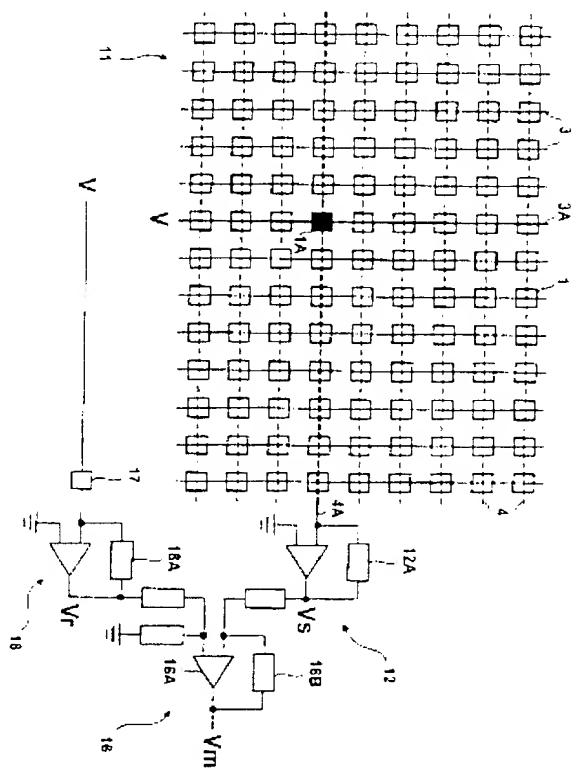


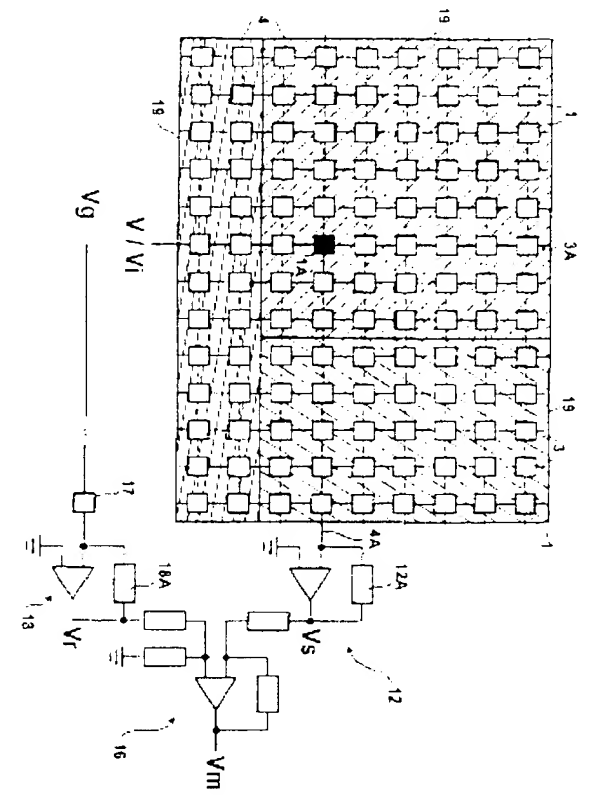
FIG. 1A

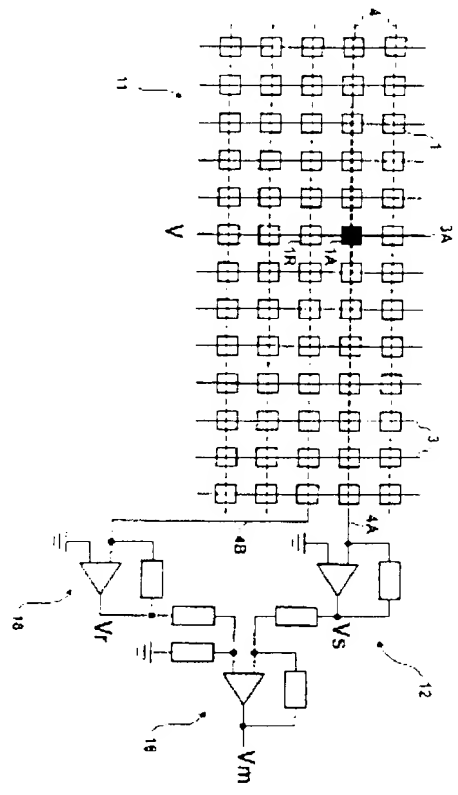


도 19b

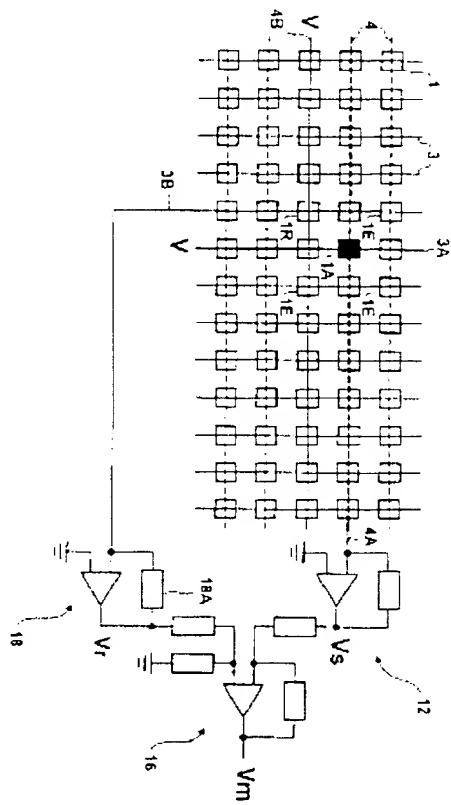


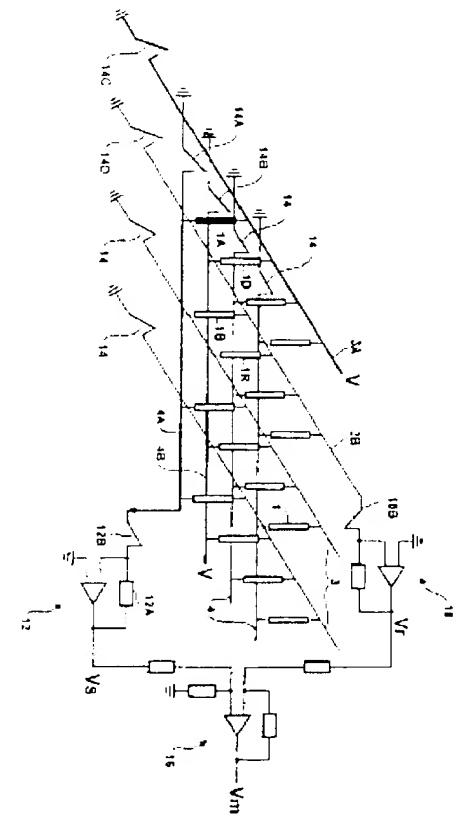
도 19



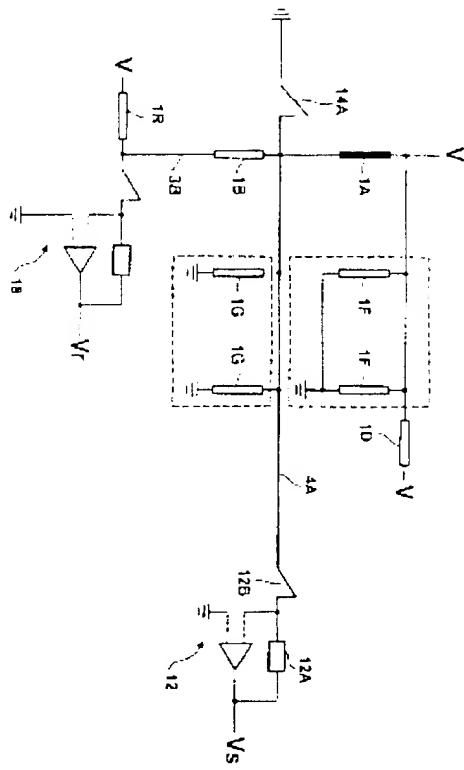


도 19B

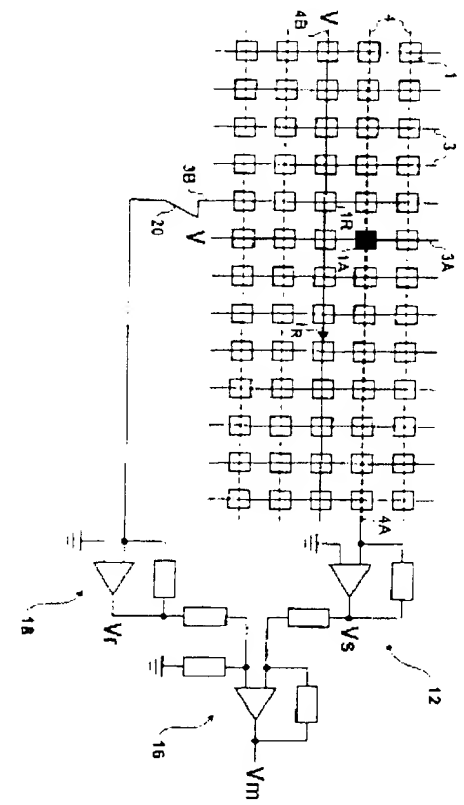




도 10



ENI



도 12

